

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月28日
Date of Application:

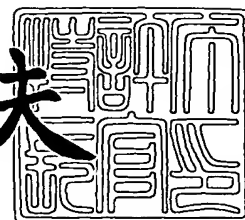
出願番号 特願2003-090283
Application Number:
[ST. 10/C]: [JP 2003-090283]

出願人 三菱電機株式会社
Applicant(s):

2003年 9月26日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3079557

【書類名】 特許願

【整理番号】 544391JP01

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/338

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

 【氏名】 井上 晃

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

 【氏名】 後藤 清毅

【特許出願人】

 【識別番号】 000006013

 【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100062144

 【弁理士】

 【氏名又は名称】 青山 葆

【選任した代理人】

 【識別番号】 100086405

 【弁理士】

 【氏名又は名称】 河宮 治

【選任した代理人】

 【識別番号】 100101454

 【弁理士】

 【氏名又は名称】 山田 卓二

**【選任した代理人】****【識別番号】** 100112911**【弁理士】****【氏名又は名称】** 中野 晴夫**【手数料の表示】****【予納台帳番号】** 013262**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 複数のゲート電極を備えた高出力用半導体装置であって、半導体基板に形成された略矩形の活性領域と、該活性領域上に設けられたドレイン電極と、該ドレイン電極の両側に、ゲート電極を挟んで対向配置された第 1 及び第 2 のソース電極とを含み、

該第 1 及び第 2 のソース電極を流れる電流の方向を、互いに逆向きとしたことを特徴とする半導体装置。

【請求項 2】 上記第 1 のソース電極に接続された第 1 のソースビアホールと、上記第 2 のソース電極に接続された第 2 のソースビアホールとが、上記活性領域を挟んで対向する領域にそれぞれ配置されたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 上記第 1 及び第 2 のソースビアホールに接続されるすべての上記ソース配線が、該ソース配線の電極幅方向に延びるエアブリッジにより該ソースビアホールに接続されたことを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 上記第 1 のソースビアホールが、上記活性領域を挟んで上記第 2 のソースビアホールと対向する位置からずれて配置されたことを特徴とする請求項 2 又は 3 のいずれかに記載の半導体装置。

【請求項 5】 上記第 1 のソースビアホールに隣接して配置されたゲートパッドと、上記第 2 のソースビアホールに隣接して配置されたドレインパッドとを含み、該第 1 のソースビアホールに接続された上記ソース電極が、上記第 2 のソースビアホールに接続された該ソース電極より多いことを特徴とする請求項 2 に記載の半導体装置。

【請求項 6】 複数のソース電極を備えた高出力用半導体装置であって、半導体基板に形成された略矩形の活性領域と、該活性領域上に設けられた複数のソース電極と、該ソース電極と、ゲート電極を挟んで対向配置されたドレイン電極と、

該ソース電極の上方に設けられ、該ソース電極間を接続するブリッジ配線とを含み、

該ソース電極を流れる電流の方向が交互に逆方向となるように、該ソース電極間を該ブリッジ配線で接続したことを特徴とする半導体装置。

【請求項 7】 上記ブリッジ配線が、第 1 および第 2 のブリッジ配線からなり、該第 1 のブリッジ配線に接続された上記ソース電極と、該第 2 のブリッジ配線に接続された該ソース電極とが、交互に配置されたことを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 上記ブリッジ配線が、複数の上記ソース電極が直列接続となるように、隣合った該ソース電極間を接続する複数のブリッジ配線からなることを特徴とする請求項 6 に記載の半導体装置。

【請求項 9】 複数の上記ゲート電極のいずれかが接続された、複数のゲート配線を含み、該ゲート配線が、抵抗配線を介して、接地された容量に接続されたことを特徴とする請求項 1～8 のいずれかに記載の半導体装置。

【請求項 10】 上記抵抗配線に接続された外部接続パッドを含み、該外部接続パッドと上記容量とがワイヤで接続されたことを特徴とする請求項 9 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高周波、高出力用半導体装置に関し、特に、800MHz 以上の高周波帯域で用いられる半導体装置に関する。

【0002】

【従来の技術】

一般に大電力用の FET は、1 組のゲート電極、ドレイン電極、ソース電極を単位として構成される FET セルが並列に配置された構造となる。そして、電極幅 W_g を長くすること、FET セルの数を増やして全体のゲート幅 W_{gt} を長くすることにより、大電力の出力が得られる。

【0003】

【特許文献1】

特開平10-233404号公報

特開2001-44448号公報

【0004】

【発明が解決しようとする課題】

しかし、電極幅 W_g を長くした場合、ソースインダクタンス L_s が増加し、この結果、FETの最大利得が小さくなるという問題があった。これに対して、FETに含まれるFETセルを増やさず、外部の合成回路により複数のFETを接続することにより、FETの最大利得の低下を防止しながら大電力の出力を得ることもできるが、外部に合成回路を設けることにはコストの増大をもたらすという問題があった。

また、大電力用のFETでは、全てのゲート電極が1のゲート配線に接続されているため、セル単位、またはセルの集まりであるセルブロック単位で、回路を安定化することができず、FETが内部のループで発振するという問題もあった。

【0005】

そこで、本発明は、FETの最大利得の低下を起させることなく、電極幅 W_g を長くし、及び／又はFETに含まれるFETセルを増やした、大電力用のFETの提供を目的とする。

【0006】

【課題を解決するための手段】

本発明は、複数のゲート電極を備えた高出力用半導体装置であって、半導体基板に形成された略矩形の活性領域と、該活性領域上に設けられたドレイン電極と、該ドレイン電極の両側に、ゲート電極を挟んで対向配置された第1及び第2のソース電極とを含み、該第1及び第2のソース電極を流れる電流の方向を、互いに逆向きとしたことを特徴とする半導体装置である。

【0007】

本発明は、また、複数のソース電極を備えた高出力用半導体装置であって、半

導体基板に形成された略矩形の活性領域と、該活性領域上に設けられた複数のソース電極と、該ソース電極と、ゲート電極を挟んで対向配置されたドレイン電極と、該ソース電極の上方に設けられ、該ソース電極間を接続するブリッジ配線とを含み、該ソース電極を流れる電流の方向が交互に逆方向となるように、該ソース電極間を該ブリッジ配線で接続したことを特徴とする半導体装置でもある

【0008】

【発明の実施の形態】

実施の形態 1.

図 1 は、全体が 100 で表される、本実施の形態 1 にかかる半導体装置の上面図である。半導体装置 100 は、例えば、移動体通信用に使用される大電力用 FET であり、主に 0.8 GHz ~ 2.4 GHz の周波数帯域で使用される。

【0009】

半導体装置 100 は、シリコン等の半導体基板 20 を含む。半導体基板 20 には、活性領域 21 が設けられている。活性領域 21 を挟んで、一方にはゲートパッド 1 とソースバイアホール 2 が、他方にはドレインパッド 3 とソースバイアホール 2 が、それぞれ設けられている。

活性領域 21 上には、ゲート電極 5 を挟んで、ソース電極 4 とドレイン電極 6 が対向配置された複数のセル 22 が、略平行となるように配置されている。ここで、1 つのセル 22 は、1 組のソース電極 4、ゲート電極 5 及びドレイン電極 6 からなる。隣接するセル 22 の間では、ソース電極 4 又はドレイン電極 6 が共有となっている。

【0010】

ソース電極 4 は、ソースエアブリッジ 11 を介してソースバイアホール 2 に接続されている。ソースバイアホール 2 は、基板 20 を貫通して裏面に設けられたソース電極（図示せず）に接続される。通常、ソース電極は接地されている。

また、ゲート電極 5 はゲート配線 13 に接続され、更に、外部接続パッド 10 に接続されている。外部接続パッド 10 は、ワイヤボンディングにより他のチップのゲート電極等に接続する場合や、発振を防止するために外部の RC 直列回路に接続して安定化する場合に使用される。

【0011】

半導体装置100において、ソースパッド1やドレインパッド3を外部の回路にボンディングワイヤで接続することにより、例えば、半導体装置100を増幅器として使用できる。

【0012】

ソース電極4、ゲート電極5、ドレイン電極6の電極幅 W_{gu} （図1では、縦方向の長さ）は、約0.5mm～約1.2mmであり、ソース電極4、ドレイン電極3の電極長（図1では横方向の長さ）は $10\mu m$ 、ゲート電極5の電極長は約 $0.1\mu m$ ～約 $1\mu m$ である。また、ソース電極4、ゲート電極5、ドレイン電極6からなるセル22の横幅（短辺の幅）は、約 $40\mu m$ である。

【0013】

半導体装置100では、活性領域21の両側にソースバイアホール2が設けられ、活性領域21に並置されたソース電極4は、活性領域21を挟んで反対側にあるソースバイアホール2に、交互に接続されている。

これにより、活性領域21に設けられたソース電極4からソースバイアホール2に流れる電流の向きが、交互に逆方向となる。これは、ソース電極4の相互インダクタンス L_s の符号を、交互に逆にすることに相当する。

【0014】

ここで、図2は、 $W_{gu}=1.2mm$ の、従来の半導体装置に含まれるセル数と、1セル当たりのソースインダクタンス L_s との関係の計算結果である。計算にはワイヤモデルを用い、各ワイヤ間の相互インダクタンスを考慮して計算を行った。

即ち、隣接する2つのセル i とセル j との間の距離を d 、ワイヤの長さを L とすると、セル i におけるセル j からの相互インダクタンス L_{ij} は、下記式1で表される。

$$L_{ij} = (1/2\pi) \cdot \mu_0 \cdot [L \cdot \ln(L + \sqrt{L^2 + d^2}) - \sqrt{L^2 + d^2} + d] \quad (式1)$$

【0015】

複数のセルを合成したときの、セル j を構成する FET の電圧 V_j は、電流を I_j とすると、下記式 2 で表される。

$$V_j = L_{jj} \cdot I_j + \sum L_{ji} \cdot I_i \quad (\text{式 2})$$

【0016】

第 1 次近似として、 I_j が全てのセルにおいて同じとすると、各セルのインダクタンス $L(j)$ は以下の式 3 で表される。

$$L(j) = L_{jj} + \sum L_{ji} \quad (\text{式 3})$$

【0017】

図 2 から、セル数の増加に伴い、これらのセルを含む半導体装置のソースインダクタンス L_s も大幅に増加することがわかる。ソースインダクタンス L_s の増大は最大利得の減少をもたらし、結果的に半導体装置の特性を劣化させる。

【0018】

一方、図 3 は、半導体装置の、ソースインダクタンス L_s の W_{gu} に対する依存性の計算結果である。横軸には電極幅 W_{gu} を、縦軸にはソースインダクタンス L_s を示す。図 3 から、電極幅 W_{gu} を大きくすると、ソースインダクタンス L_s が大幅に増大することがわかる。上述のように、ソースインダクタンス L_s の増加は、最大利得の減少をもたらし、半導体装置の特性を劣化させる。

【0019】

このように、大電力の出力を得るためには、第 1 に、セル数を増加させる手段、第 2 に、電極幅 W_{gu} を大きくする手段があるが、いずれの手段をとっても最大利得が低下する。

【0020】

次に、図 4 は、ソース電極 4 からソースバイアホール 2 に流れる電流の向きが交互に異なる、実施の形態 1 にかかる半導体装置 100 を用いた場合の、半導体装置に含まれるセル数と最大利得との関係である。一方、図 5 は、ソース電極からソースバイアホールに流れる電流の向きが一定方向の、従来の半導体装置を用いた場合の、半導体装置に含まれるセル数と最大利得との関係である。図 4、5 において、横軸は半導体装置 100 の周波数、縦軸は最大利得 (MAG/MSG) である。

【0021】

図4では、半導体装置に含まれるセル数が、1、4、8と増えるに従って、最大利得は大きくなっている。これに対して、図5に示す従来の半導体装置では、セル数が、1、4、8と増えるに従って、逆に最大利得は小さくなっている。

このように、本実施の形態1にかかる半導体装置100では、ソース電極4に流れる電流の向きを交互に逆向きにすることにより、ソース電極4で発生する相互インダクタンスを相殺できる。従って、セル数を増やした場合であっても、半導体装置100全体のソースインダクタンス L_s が減少するため、最大利得を低下させることなく、半導体装置100の電力出力を大きくすることができる。

【0022】

また、半導体装置100では、上述のようにソース電極4で発生する相互インダクタンス L_s を互いに相殺できるため、電極幅 W_{gu} を大きくしても半導体装置100の最大利得は低下しない。このため、最大利得を低下させることなく、半導体装置100の電力出力を大きくすることができる。

【0023】

以上のように、本実施の形態1にかかる半導体装置100では、半導体装置100に含まれるセル数を増加することにより、又は電極幅 W_{gu} を大きくすることにより、最大利得を低下させることなく半導体装置100の電力出力を大きくできる。半導体装置100の外部に合成回路を設けることなく大電力出力を得ることができるため、コストの削減が可能となる。

【0024】

なお、本実施の形態1ではFETについて説明したが、FETに替えてHBT等の他のトランジスタを用いてもよい。また、各パッドに接続される電極の数も、本実施の形態1にしばられるものではない。

【0025】

図6は、全体が110で表される、本実施の形態1にかかる他の半導体装置の上面図である。図6中、図1と同一符号は、同一又は相当箇所を示す。

半導体装置110では、活性領域21上に形成された複数のソース電極4が、活性領域21の上方に形成されたソースバイアホール2と、活性領域21の下方

に形成されたソースバイアホール 2 とに、2 本ずつ交互に接続されている。このため、ソース電極 4 からソースバイアホール 2 に流れる電流の向きも、2 本ずつ交互に逆方向となる。かかる構造においても、ソース電極 4 の相互インダクタンスを相殺して、半導体装置 110 のソースインダクタンス L_s を低減できる。

【0026】

なお、ソース電極 4 は、相互インダクタンスを相殺できる限り、3 本又はそれ以上の本数毎に電流の向きを変えてもよい。また、各ソースバイアホール 2 に接続されるソース電極 4 の数を変えてもかまわない。

【0027】

特に、半導体装置 110 では、一のソースバイアホール 2 に接続されるソース電極の横方向の広がり（横幅）が、ソースバイアホール 2 の横幅以下となっている。このため、特開平 10-233404 号公報に記載の半導体装置に比べて、電流の方向が互いに反対となるソース電極間の距離を小さくでき、これらのソース電極間の相互インダクタンスの相殺効果を大きくできる。従って、半導体装置 110 のソースインダクタンス L_s がより低減でき、最大利得をより大きくできる。

【0028】

実施の形態 2.

図 7 は、全体が 200 で表される、本実施の形態 2 にかかる半導体装置の上面図である。図 7 中、図 1 と同一符号は、同一又は相当箇所を示す。

上述の半導体装置 100 では、活性領域 21 を挟んで対向するように、活性領域 21 の両側にソースバイアホール 2 を設けていた。これに対して、本実施の形態 2 にかかる半導体装置 200 では、ソースバイアホール 2 は、ゲートパッド 1 又はドレインパッド 3 と対向するように配置され、ソースバイアホール 2 同士は対向しないように配置されている。

【0029】

かかる構造を用いることにより、ソースバイアホール 2 とソース電極 4 とを接続するソースエアブリッジ 11 の長さを短くでき、ソースインダクタンス L_s をより小さくし、最大利得を大きくできる。

【0030】

特に、一のソースバイアホール2に接続されるソース電極間の横幅を、ソースバイアホール2の横幅以下とすることにより、ソースエアブリッジ11をソース電極4の長手方向（ソース電極幅方向）に形成することができ、半導体装置200のソースインダクタンス L_s を低減し、最大利得を大きくできる。

【0031】

また、半導体装置200では、ゲートパッド1に隣接するソースバイアホール2に接続されたソース電極4の方が、ドレインパッド3に隣接するソースバイアホール2に接続されたソース電極4より多くなっている。具体的には、ゲートパッド1に隣接するソースバイアホール2には3本のソース電極4が接続され、一方、ドレインパッド3に隣接するソースバイアホール2には2本のソース電極4が接続されている。ここで、ドレイン配線12は、ゲート配線13より流れる電流が大きく、幅が広がっているため、これを跨ぐソースエアブリッジ11が長くなり、寄生インダクタンスも大きくなる。半導体装置200では、幅の広いドレイン配線12を跨ぐソースエアブリッジ11が少なくなるため、ソースインダクタンス L_s を下げ、最大利得を大きくすることができる。

なお、図7では、上側のソースバイアホール2には3個のソース電極4を、下側のソースバイアホール2には2個のソース電極4をそれぞれ接続したが、ソースバイアホール2に接続するソース電極4の数は、これ意外でもかまわない。

【0032】

実施の形態3.

図8は、全体が300で表される、本実施の形態3にかかる半導体装置の上面図である。図8中、図1と同一符号は、同一又は相当箇所を示す。

半導体装置300では、活性領域21を挟んで対向するように、ゲートパッド1とドレインパッド3とが設けられている。また、活性領域21の他の辺には、活性領域21を挟んでソースバイアホール2、2'が設けられている。活性領域21の上には、ソースバイアホール2に接続されたソース電極4と、ソースバイアホール2'に接続されたソース電極4'とが、ドレイン電極6を挟んで交互に並置されている。ソース電極4の上にはエアブリッジ電極16が設けられ、エア

ブリッジ橋脚 15 によりソース電極 4 に接続されている。同様に、ソース電極 4' の上にはエアブリッジ電極 16' が設けられ、エアブリッジ橋脚 15' によりソース電極 4' に接続されている。図 8 に示すように、エアブリッジ電極 16 はゲートパッド 1 側に寄せて、エアブリッジ電極 16' はドレインパッド 3 側に寄せて、それぞれ配置される。

【0033】

半導体装置 300 では、かかる構造を用いることにより、電流の流れる方向が、ソース電極 4 とソース電極 4' とで逆方向となる。従って、かかるソース電極 4 とソース電極 4' とを交互に並置することにより、互いに相互インダクタンスを相殺できる。この結果、半導体装置 300 のソースインダクタンス L_s が小さくなり、最大利得を高くできる。

【0034】

また、左側のソースバイアホール 2 を、エアブリッジ橋脚 15 に近くなるように上方に配置し、右側のソースバイアホール 2' を、エアブリッジ橋脚 15' に近くなるように下方に配置したため、ソースバイアホール 2 とエアブリッジ橋脚 15、ソースバイアホール 2' とエアブリッジ橋脚 15' の距離が小さくなっている。この結果、ソースインダクタンス L_s が更に小さくなり、最大利得をより大きくできる。

【0035】

実施の形態 4.

図 9 は、全体が 400 で表される、本実施の形態 4 にかかる半導体装置の上面図である。図 9 中、図 1 と同一符号は、同一又は相当箇所を示す。

半導体装置 400 では、ソース電極 4 間を接続するエアブリッジ電極 17 の構造を除いて、上述の半導体装置 300 と同様の構造である。

【0036】

半導体装置 400 では、すべてのソース電極 4 が、エアブリッジ電極 17 で、直列に接続されている。エアブリッジ電極 17 とソース電極 4 との間は、エアブリッジ橋脚 15 により接続されている。

図 9 に示すように、エアブリッジ電極 17 は、ゲートパッド 1 側と、ドレイン

パッド3側に交互に配置されている。この結果、隣合ったソース電極4の間で電流の方向が逆方向となる。

【0037】

半導体装置400では、かかる構造を用いることにより、隣接するソース電極4の間で相互インダクタンスを相殺できる。この結果、半導体装置300のソースインダクタンス L_s が小さくなり、最大利得を高くできる。

【0038】

なお、本実施の形態3、4では、活性領域21の両側にソースバイアホール2、2'を配置した半導体装置300、400であるが、更に、複数の半導体装置300、400を、上下方向、左右方向に繰り返して配置しても構わない。

【0039】

実施の形態5.

図10は、全体が500で表される、本実施の形態5にかかる半導体装置の上面図である。図10中、図1と同一符号は、同一又は相当箇所を示す。

半導体装置500は、すべてのゲート電極4を一のゲート配線13に接続する代わりに、いくつかのグループに分割し、それぞれゲートパッド1に接続し、これらのゲートパッド1をゲート配線14に接続している。また、ゲートパッド1とゲート配線14とは、抵抗配線9で接続する。更に、ゲート配線14には外部接続パッド10が接続され、外部接続パッド10は、金等のワイヤ7により、外部に設けられた容量8と接続されている。他の構造は、上述の実施の形態2にかかる半導体装置200と同様である。

かかる構造では、それぞれのゲートパッド1がゲート配線14に接続され、抵抗(R_{gs})、容量(C)により図11に示すような回路構成となるため、回路が安定化される。

【0040】

図12は、抵抗(R_{gs})の値を20、30、40、50、及び60(Ω)とした場合の、使用周波数と、最大利得、安定係数(k)の関係である。

図12より、 R_{gs} を30~40 Ω とすれば、2GHzの最大利得を保ったままで、1GHz以下の安定係数 k を1以上にできる。即ち、1GHz以下の低周

波数帯域で、最大利得を小さくでき、回路を安定化できる。

また、半導体装置 500 では、それぞれのゲートパッド 1 毎に安定化ができるため、ゲートパッド 1 間やセル間の、内部ループに起因する発振を抑制できる。

【0041】

なお、本実施の形態 5 にかかる半導体装置 500 では、例えば、特開 2001-44448 号公報に記載の半導体装置とは異なり、各セル毎に容量を設けていない。高価な GaAs 等の半導体基板上に、各セル毎に容量を設けると、コスト上の制約から容量の面積を小さくする必要があり、各セルに設けられるコンデンサの容量は、約 10 pF 以下と小さくせざるをえない。これに対して、半導体装置 500 では、抵抗配線 9 を介してゲート配線 14 に接続した上で、まとめて容量 8 に接続している。このため、容量値は 100 pF 以上の容量により接続できる。これにより、低周波帯域においても回路の安定化が実現でき、利得の高い低周波数帯域における寄生発振を防止できる。

【0042】

なお、半導体装置 500 では、ゲートパッド 1 毎に抵抗配線 9 を接続したが、その他の単位であっても良い。また、外部接続パッド 10 を両側に設けたが、片側のみや中央に 1 個所のみの配置としても良い。

また、半導体装置 500 では、外部の容量 8 を介して外部接続パッド 10 を接地したが、半導体基板 20 上に設けた MIM キャパシタを介して接地してもよい。

【0043】

【発明の効果】

以上の説明から明らかなように、本発明にかかる半導体装置では、最大利得を低下させることなく、大電力の出力を得ることができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 にかかる半導体装置の上面図である。

【図 2】 半導体装置に含まれるセル数と、1 セル当たりのソースインダクタンス L_s との関係の計算結果である。

【図 3】 半導体装置の W_{gu} と、1 セル当たりのソースインダクタンス L

s との関係の計算結果である。

【図 4】 本発明の実施の形態 1 にかかる半導体装置に含まれるセル数と最大利得との関係である。

【図 5】 従来の半導体装置に含まれるセル数と最大利得との関係である。

【図 6】 本発明の実施の形態 1 にかかる他の半導体装置の上面図である。

【図 7】 本発明の実施の形態 2 にかかる半導体装置の上面図である。

【図 8】 本発明の実施の形態 3 にかかる半導体装置の上面図である。

【図 9】 本発明の実施の形態 4 にかかる半導体装置の上面図である。

【図 10】 本発明の実施の形態 5 にかかる半導体装置の上面図である。

【図 11】 本発明の実施の形態 5 にかかる半導体装置の安定化回路である。

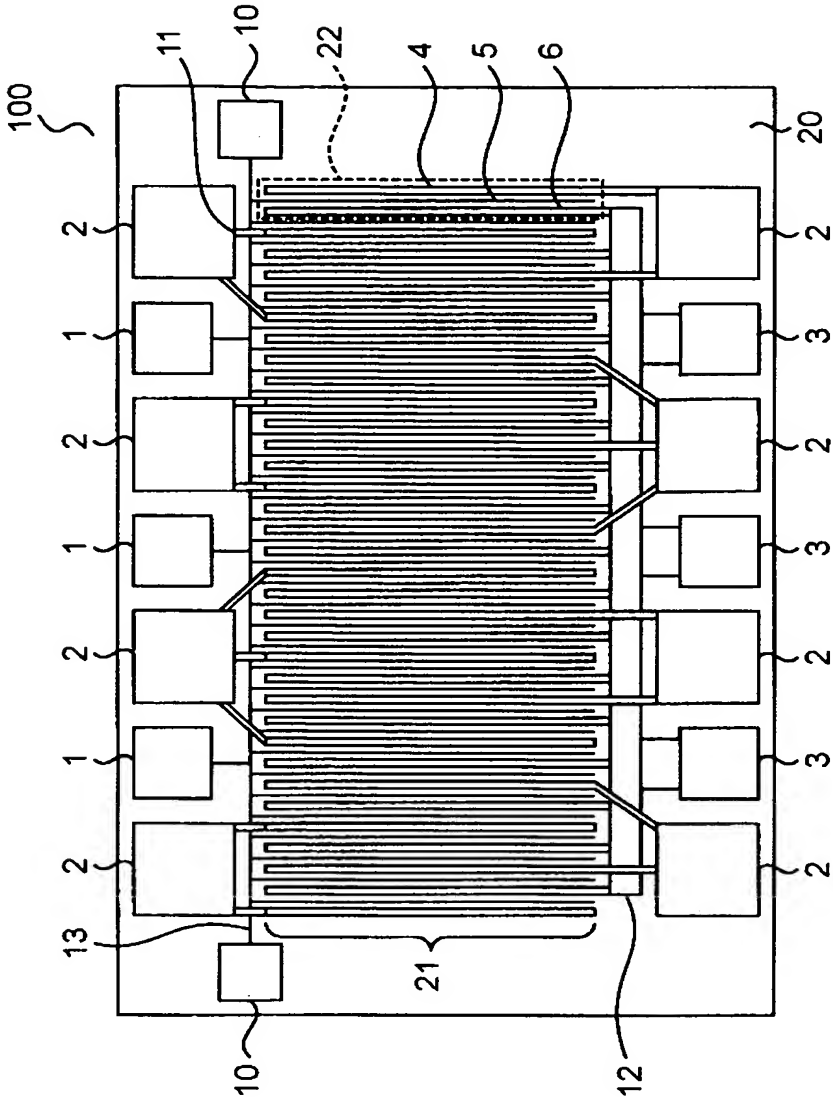
【図 12】 本発明の実施の形態 5 にかかる半導体装置の使用周波数と、最大利得、安定係数との関係である。

【符号の説明】

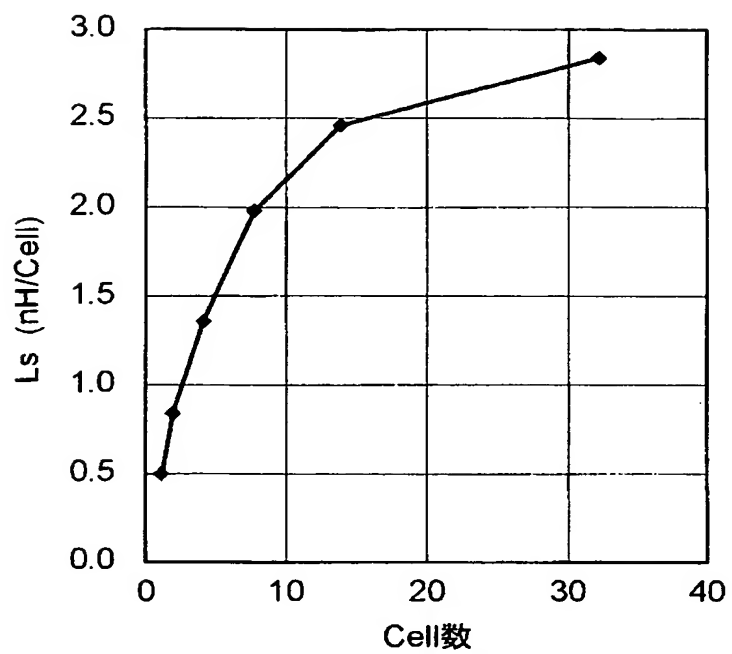
1 ゲートパッド、2 ソースバイアホール、3 ドレインパッド、4 ソース電極、5 ゲート電極、6 ドレイン電極、7 ワイヤ、8 容量、9 抵抗配線、10 外部接続パッド、11 ソースエアブリッジ、12 ドレイン配線、13、14 ゲート配線、20 半導体基板、21 活性領域、22 セル、100 半導体装置。

【書類名】 図面

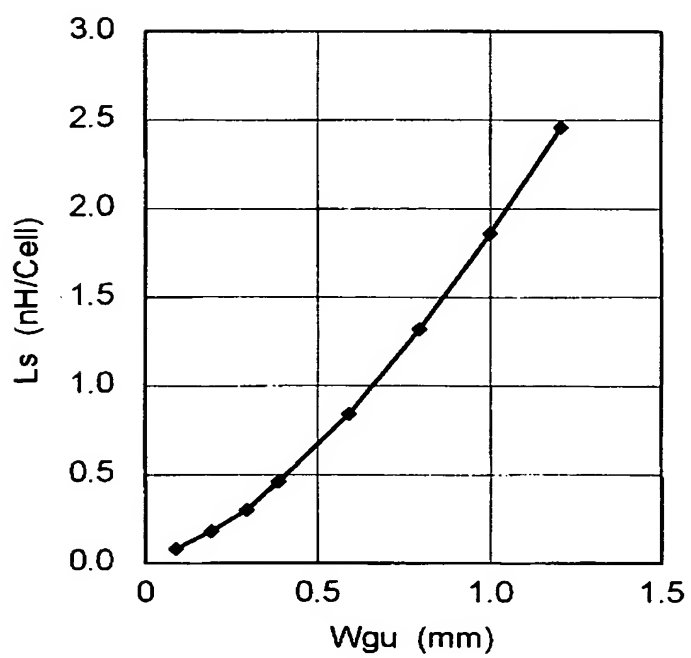
【図 1】



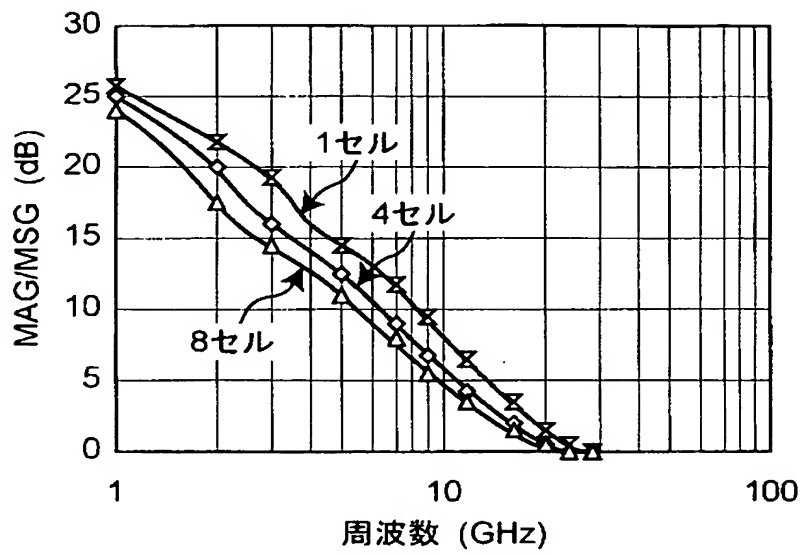
【図 2】



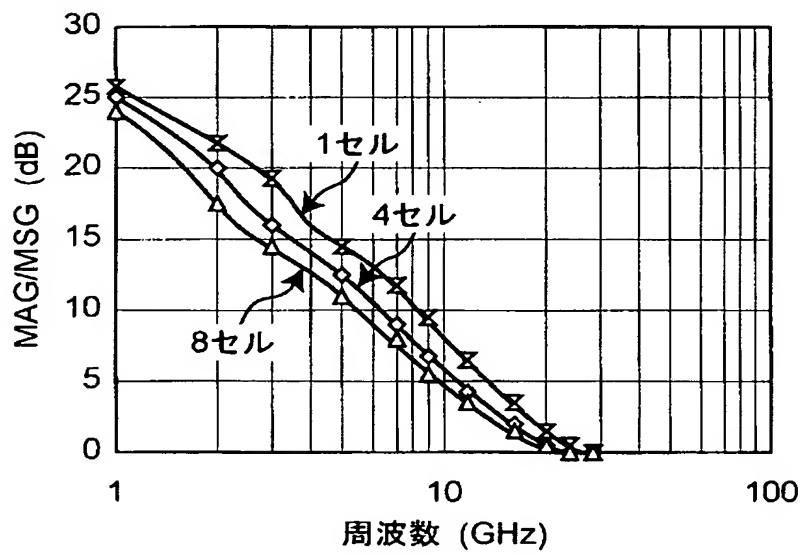
【図 3】



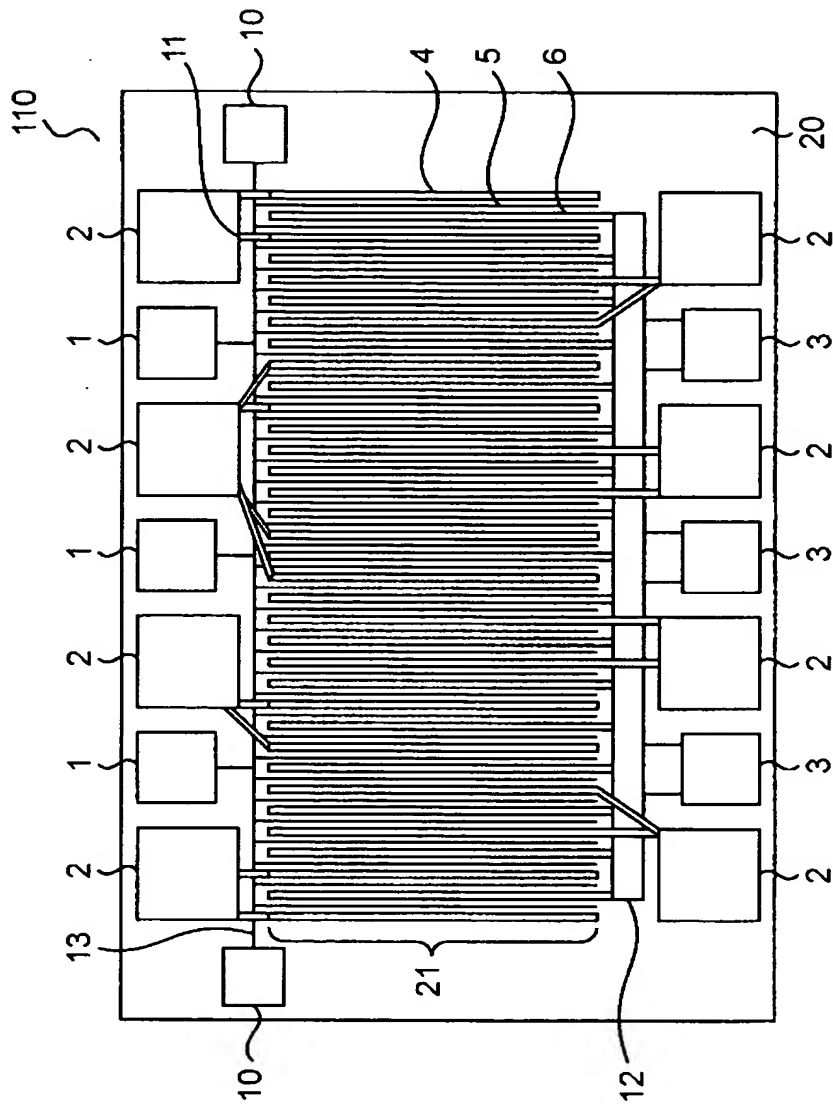
【図 4】



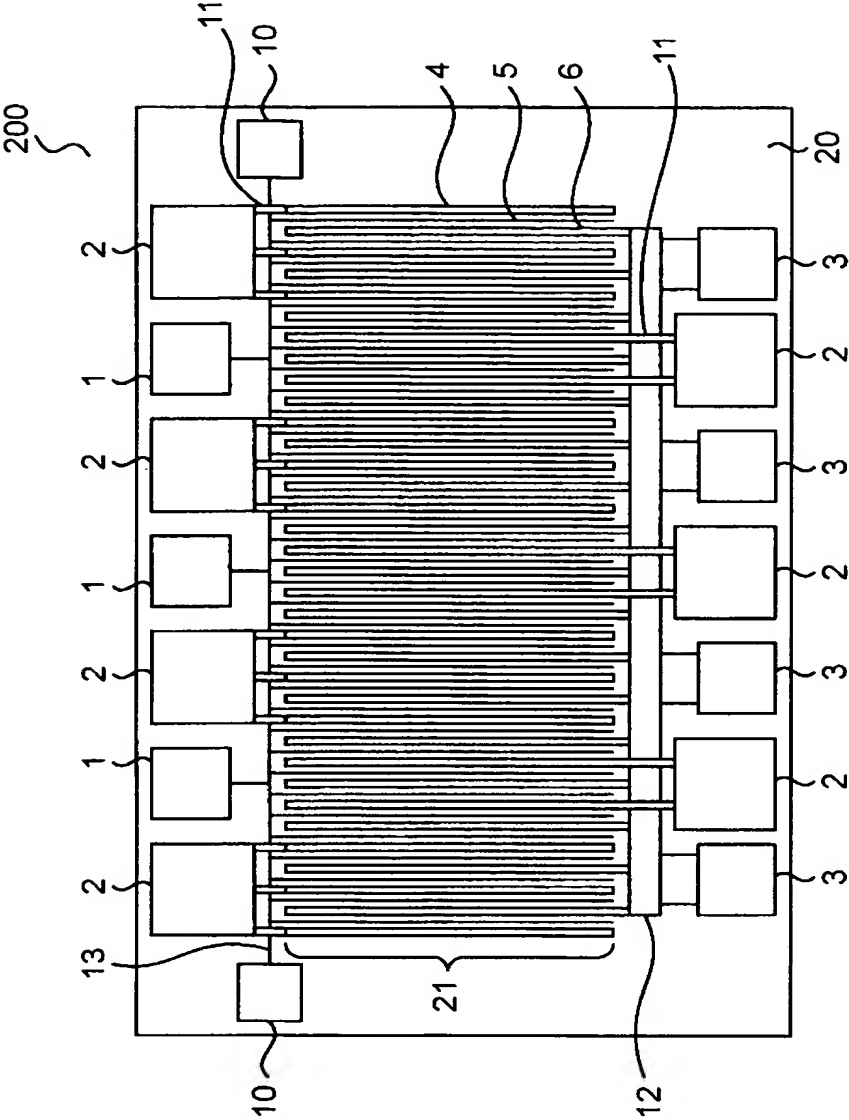
【図 5】



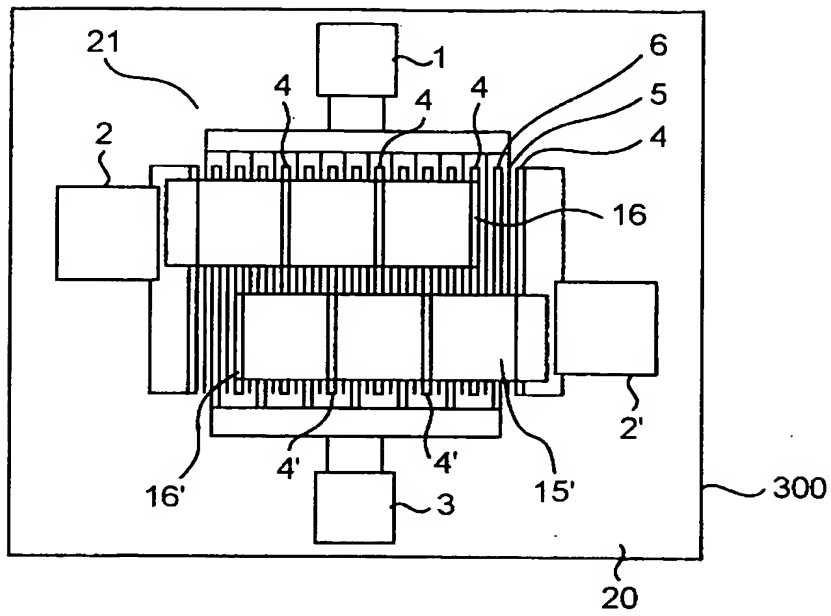
【図 6】



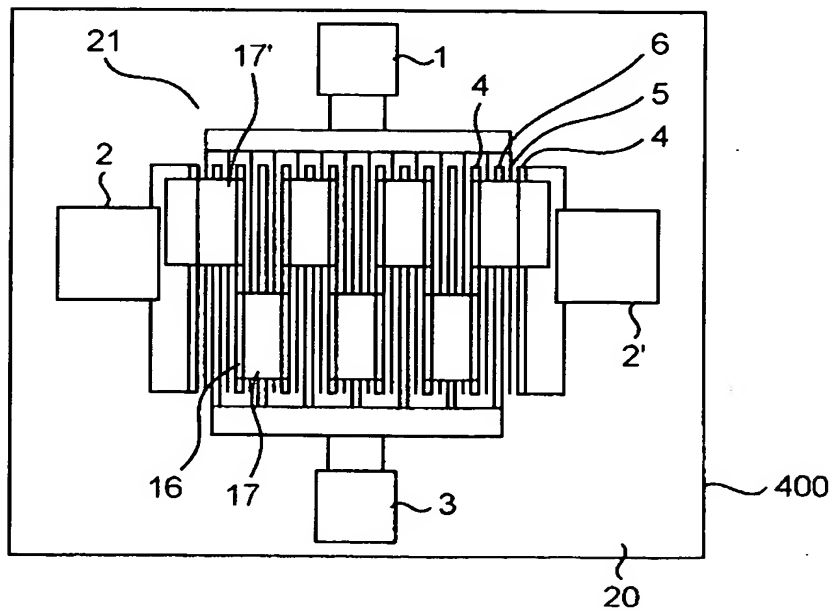
【図 7】



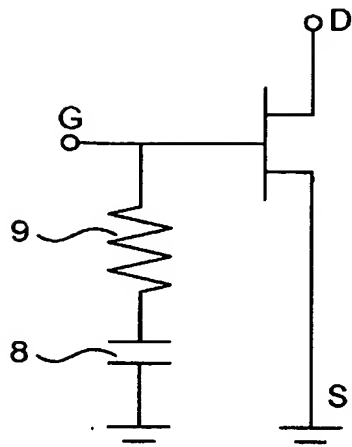
【図 8】



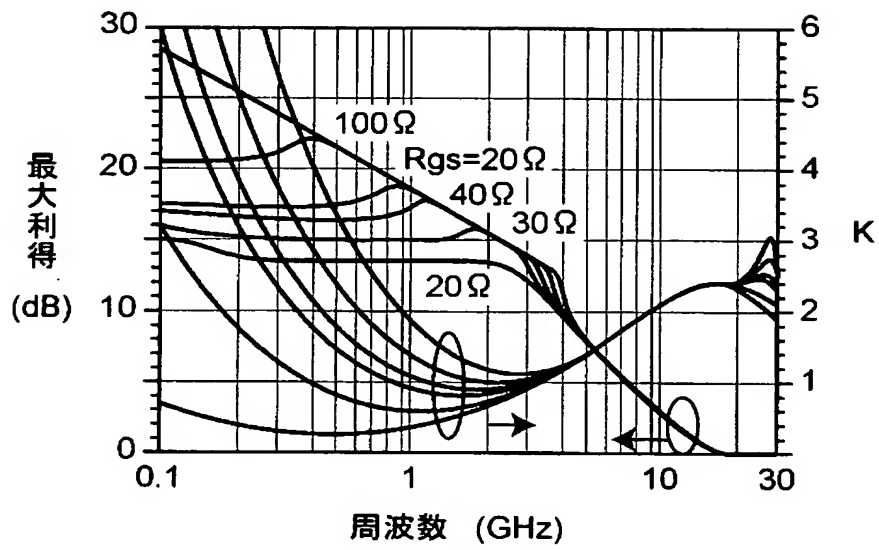
【図 9】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 高周波、高出力用半導体装置において、最大利得の低下を起させることなく高出力化を図った半導体装置を提供する。

【解決手段】 複数のゲート電極を備えた高出力用半導体装置において、半導体基板に形成された略矩形の活性領域と、活性領域上に設けられたドレイン電極と、ドレイン電極の両側に、ゲート電極を挟んで対向配置された第1及び第2のソース電極とを含み、第1及び第2のソース電極を流れる電流の方向を、互いに逆向きとする。

【選択図】 図1

特願 2 0 0 3 - 0 9 0 2 8 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 0 1 3]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名

三菱電機株式会社